

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月27日

出 願 番 号

Application Number:

特願2002-246410

[ST.10/C]:

[JP2002-246410]

出 願 人

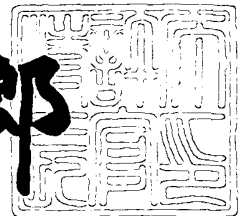
Applicant(s):

富士通株式会社

2003年 1月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3000106

【書類名】 特許願

【整理番号】 0240650

【提出日】 平成14年 8月27日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/00

【発明の名称】 静電気放電保護回路

【請求項の数】 5

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 梅田 定美

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100092152

 【弁理士】

 【氏名又は名称】 服部 毅巖

 【電話番号】 0426-45-6644

【手数料の表示】

 【予納台帳番号】 009874

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9705176

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 静電気放電保護回路

【特許請求の範囲】

【請求項 1】 半導体装置の内部回路を静電気放電から保護する静電気放電保護回路において、

第 1 の電源端子及び第 2 の電源端子と接続された内部回路と、

前記第 1 の電源端子及び前記第 2 の電源端子に接続されたソース及びドレインを、バックゲートに供給される電圧によって切替えるトランジスタと、

前記第 1 の電源端子と前記バックゲートとの間に接続され、前記第 1 の電源端子に生じる正の放電電圧を前記バックゲートに供給する第 1 のダイオードと、

前記第 2 の電源端子と前記バックゲートとの間に接続され、前記第 2 の電源端子に生じる正の放電電圧を前記バックゲートに供給する第 2 のダイオードと、

前記放電電圧を分圧して前記トランジスタのゲートに供給し、ソースドレイン間のオン・オフ動作を制御する分圧回路と、

を有することを特徴とする静電気放電保護回路。

【請求項 2】 前記トランジスタは、

前記正の放電電圧を前記第 1 の電源端子から前記バックゲートに供給されたとき、前記第 1 の電源端子側を前記ソースとし、

前記正の放電電圧を前記第 2 の電源端子から前記バックゲートに供給されたとき、前記第 2 の電源端子側を前記ソースとすることを特徴とする請求項 1 記載の静電気放電保護回路。

【請求項 3】 前記分圧回路は、前記放電電圧を等分圧して前記ゲートに供給することを特徴とする請求項 1 記載の静電気放電保護回路。

【請求項 4】 前記分圧回路は、前記放電電圧によって流れる電流を一方方向にのみ流すことを特徴とする請求項 1 記載の静電気保護回路。

【請求項 5】 前記内部回路の入出力端子と前記第 1 の電源端子及び前記第 2 の電源端子との間に接続され、前記入出力端子に生じる前記放電電圧を前記第 1 の電源端子及び前記第 2 の電源端子に電流として流すダイオードを有することを特徴とする請求項 1 記載の静電気放電保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は静電気放電保護回路に関し、特に半導体装置の内部回路を静電気放電から保護する静電気放電保護回路に関する。

【0002】

【従来の技術】

L S I の内部回路は、人による接触や収納箱との摩擦などにより、静電気放電 (E S D : Electro Static Discharge) を受け、破損することがある。L S I は、E S D から内部回路を保護するため、電源端子、信号の入出力端子に E S D 保護回路を具備する。

【0003】

図3は、従来のE S D保護回路を示す。図に示すように、E S D保護回路は、内部回路30、ダイオードD7、8、トランジスタTr2、抵抗R2、及びコンデンサC3から構成される。

【0004】

内部回路30は、L S I に形成される回路である。内部回路30は、信号を入力出力するための入出力端子V、電源を入力するための電源端子V S、V Dと接続されている。電源端子V Sには負電圧、電源端子V Dには正電圧の電源が供給される。具体的には、電源端子V Sは、電源のグランドに接続され、電源端子V Dは、電源の正電圧側に接続される。

【0005】

ダイオードD7のカソードは、電源端子V Dに接続されている。ダイオードD7のアノードは、入出力端子Vに接続されている。ダイオードD8のカソードは、入出力端子Vに接続されている。ダイオードD8のアノードは、電源端子V Sに接続されている。

【0006】

トランジスタTr2は、PチャネルのM O S トランジスタである。トランジスタTr2のソースは、電源端子V Dと接続されている。トランジスタTr2のド

レインは、電源端子V Sと接続されている。

【0007】

抵抗R 2の一端は、電源端子V Dと接続されている。抵抗R 2の他端は、トランジスタT r 2のゲートと接続されている。

コンデンサC 3の一端は、トランジスタT r 2のゲートと接続されている。コンデンサC 3の他端は、電源端子V Sと接続されている。

【0008】

以下、E S D保護回路の動作について説明する。

電源端子V Dに正の直流電圧が供給されたとする。トランジスタT r 2のゲート、コンデンサC 3は、高インピーダンスなので、抵抗R 2には電流が流れない。従って、トランジスタT r 2のソースゲート間は、同電位であり、ソースドレイン間はオフ状態である。すなわち、電源電圧は、内部回路3 0に供給され、内部回路3 0は、所定の動作をする。

【0009】

電源端子V Sを基準とした正のE S Dサージが、入出力端子Vに生じたとする。入出力端子Vの電位は、E S Dサージにより上昇する。電源端子V Dには、ダイオードD 7により、入出力端子Vの電位に対し、順方向電圧分だけ降下した電位が生じる。

【0010】

電源端子V S，V D間には、抵抗R 2とコンデンサC 3の直列回路が接続されている。E S Dサージの電圧上昇により、抵抗R 2、コンデンサC 3の直列回路には、E S Dサージによる電流が流れる。コンデンサC 3は、抵抗R 2、コンデンサC 3のC R時定数に従って充電される。

【0011】

コンデンサC 3が充電されるC R時定数の間、トランジスタT r 2のソースゲート間には電位差が生じ、ソースドレイン間は、オン状態（導通状態）となる。従って、E S Dサージによる電流は、トランジスタT r 2のソースドレイン間を流れる。すなわち、電源端子V Sを基準に入出力端子Vに生じた正のE S Dサージによる電流は、ダイオードD 7、トランジスタT r 2のソースドレイ

ン間、電源端子V Sを流れ、内部回路3 0は保護される。

【0 0 1 2】

電源端子V Sを基準とした正のE S Dサージが、電源端子V Dに生じた場合、上記の説明と同様にトランジスタT r 2が動作し、内部回路3 0は、E S Dサージによる電流から保護される。また、電源端子V Dを基準とした負のE S Dサージが、入出力端子Vに生じた場合、上記の説明と同様にトランジスタT r 2が動作し、E S Dサージによる電流は、トランジスタT r 2のソースドレイン間、ダイオードD 8、入出力端子Vを流れ、内部回路3 0は保護される。

【0 0 1 3】

電源端子V Sを基準とした負のE S Dサージが、入出力端子Vに生じたとする。この場合、E S Dサージによる電流は、電源端子V S、ダイオードD 8の順方向を流れ、入出力端子Vに流れる。これにより、内部回路3 0は、E S Dサージによる電流から保護される。

【0 0 1 4】

電源端子V Dを基準とした正のE S Dサージが、入出力端子Vに生じたとする。この場合、E S Dサージによる電流は、入出力端子V、ダイオードD 7の順方向を流れ、電源端子V Dに流れる。これにより、内部回路3 0は、E S Dサージによる電流から保護される。

【0 0 1 5】

電源端子V Sを基準とした負のE S Dサージが、電源端子V Dに生じた場合、E S Dサージによる電流は、電源端子V S、トランジスタT r 2のドレイン、バックゲート間の寄生ダイオード（バイポーラトランジスタ）及び、ダイオードD 8、D 7、電源端子V Dを流れる。これにより、内部回路3 0は、E S Dサージによる電流から保護される。

【0 0 1 6】

【発明が解決しようとする課題】

しかし、電源端子V Sを基準とした負のE S Dサージが電源端子V Dに生じた場合、トランジスタT r 2のソースに負の電圧が印加され、ドレインに正の電圧が印加された状態となる。そのため、トランジスタT r 2のドレインとソースの

ウェルタップ間に寄生動作（電源端子V Sから電源端子V D方向を順方向とするダイオード動作）が生じ電流が流れ、破損してしまうという問題点があった。

【0 0 1 7】

本発明はこのような点に鑑みてなされたものであり、静電気放電によるトランジスタの破損を防止する静電気放電保護回路を提供することを目的とする。

【0 0 1 8】

【課題を解決するための手段】

本発明では、上記課題を解決するために、図1に示す半導体装置の内部回路を静電気放電から保護する静電気放電保護回路において、第1の電源端子V D及び第2の電源端子V Sと接続された内部回路10と、第1の電源端子V D及び第2の電源端子V Sに接続されたソース及びドレインを、バックゲートに供給される電圧によって切替えるトランジスタT r 1と、第1の電源端子V Dとバックゲートとの間に接続され、第1の電源端子V Dに生じる正の放電電圧をバックゲートに供給する第1のダイオードD 1と、第2の電源端子V Sとバックゲートとの間に接続され、第2の電源端子V Sに生じる正の放電電圧をバックゲートに供給する第2のダイオードD 2と、放電電圧を分圧してトランジスタT r 1のゲートに供給し、ソースドレイン間のオン・オフ動作を制御する分圧回路20と、を有することを特徴とする静電気放電保護回路が提供される。

【0 0 1 9】

このような、静電気放電保護回路によれば、第1の電源端子V D、第2の電源端子V Sに生じる正の放電電圧を、ダイオードD 1、D 2によって、トランジスタT r 1のバックゲートに供給し、第1の電源端子V D及び第2の電源端子V Sに接続されたソース及びドレインを切替える。よって、ソース、ドレインのウェルタップ間に寄生動作を発生することなくソース、ドレイン間を放電電圧による電流が流れる。

【0 0 2 0】

【発明の実施の形態】

以下、本発明の第1の実施の形態を図面を参照して説明する。

図1は、本発明の第1の実施の形態に係るE S D保護回路を示す。E S D保護

回路は、半導体装置の半導体チップ上に形成され、半導体装置の入出力端子、電源端子に生じるESDサージから半導体装置の内部回路を保護する。

【0021】

図1に示すようにESD保護回路は、内部回路10、分圧回路20、ダイオードD1～D4、トランジスタTr1から構成されている。

内部回路10は、入出力端子V、電源端子VS、VDと接続されている。電源端子VSには、負電圧、電源端子VDには、正電圧の電源が供給される。具体的には、電源端子VSは、電源のグランドに接続され、電源端子VDは、電源の正電圧側に接続される。内部回路10は、電源端子VD、VSから電源が供給され、入出力端子Vから信号を入出力し所定の動作をする。なお、入出力端子Vは、信号の入力のみ、出力のみの端子であってもよい。

【0022】

ダイオードD1のアノードは、電源端子VDと接続されている。ダイオードD1のカソードは、トランジスタTr1のバックゲートと接続されている。ダイオードD2のカソードは、トランジスタTr1のバックゲートと接続されている。ダイオードD2のアノードは、電源端子VSと接続されている。

【0023】

ダイオードD3のカソードは、電源端子VDと接続されている。ダイオードD3のアノードは、入出力端子Vと接続されている。ダイオードD4のカソードは、入出力端子Vと接続されている。ダイオードD4のアノードは、電源端子VSと接続されている。

【0024】

トランジスタTr1は、信号線S1、S2を有するPチャネルのMOSトランジスタである。トランジスタTr1の信号線S1は、ダイオードD1のアノード及び電源端子VDと接続されている。トランジスタTr1の信号線S2は、ダイオードD2のアノード及び電源端子VSと接続されている。トランジスタTr1のバックゲートは、ダイオードD1、D2のカソードと接続されている。

【0025】

分圧回路20は、電源端子VD、VSに生じる電圧を分圧して、トランジスタ

Tr 1 のゲートに供給する。分圧回路 2 0 は、抵抗 R 1、コンデンサ C 1、C 2 から構成されている。抵抗 R 1 の一端は、電源端子 V D と接続されている。抵抗 R 1 の他端は、トランジスタ Tr 1 のゲートと接続されている。

【 0 0 2 6 】

コンデンサ C 1 の一端は、電源端子 V D と接続されている。コンデンサ C 1 の他端は、トランジスタ Tr 1 のゲートと接続されている。コンデンサ C 2 の一端は、電源端子 V S と接続されている。コンデンサ C 2 の他端は、トランジスタ Tr 1 のゲートと接続されている。すなわち、抵抗 R 1 とコンデンサ C 1 の並列回路が、コンデンサ C 2 と直列接続され、その接続点がトランジスタ Tr 1 のゲートに接続されている。

【 0 0 2 7 】

以下、E S D 保護回路の動作について説明する。

電源端子 V S を基準とした正の E S D サージが電源端子 V D に生じたとする。ダイオード D 3、D 4 は、E S D サージの電圧の極性に対し、逆方向接続なので E S D サージによる電流は流れない。

【 0 0 2 8 】

電源端子 V D の電位は電源端子 V S より高電位なので、電源端子 V D から見たダイオード D 1 のインピーダンスは低く（電源端子 V S から見たダイオード D 2 のインピーダンスは高い）、ダイオード D 1 を介して、電源端子 V D の電位がトランジスタ Tr 1 のバックゲートに供給される。これにより、トランジスタ Tr 1 の信号線 S 1 はソースとなり、トランジスタ Tr 1 の信号線 S 2 はドレインとなる。

【 0 0 2 9 】

E S D サージの電圧上昇により、コンデンサ C 1、C 2 の直列回路は、E S D サージの瞬間だけコンデンサ C 1、C 2 の接続点に電源端子 V D、V S 間の差電圧の分圧された電位に定まる。コンデンサ C 1、C 2 は、抵抗 R 1、コンデンサ C 1、C 2 の C R 時定数に従って充電される。

【 0 0 3 0 】

トランジスタ Tr 1 のゲートの電圧は、少なくとも C R 時定数の間、電源端子

V_D、V_S間の差電圧の分圧された電圧によりソース（信号線S₁）の電圧より低く、トランジスタT_{r1}のソースドレイン間は、オン状態となる。従って、E_{SD}サージによる電流は、トランジスタT_{r1}のソースドレイン間を流れる。すなわち、電源端子V_Sを基準に電源端子V_Dに生じた正のE_{SD}サージによる電流は、トランジスタT_{r1}のソースドレイン間、電源端子V_Sを流れるので、内部回路10は保護される。

【0031】

次に、電源端子V_Sを基準とした正のE_{SD}サージが入出力端子Vに生じたとする。E_{SD}サージによる電流は、ダイオードD₃の順方向に流れる。ダイオードD₄は、逆方向接続なので、E_{SD}サージによる電流は流れない。電源端子V_Dの電圧は、入出力端子Vより順方向電圧分下がった電圧が生じる。

【0032】

電源端子V_Dの電位は電源端子V_Sより高電位なので、電源端子V_Dから見たダイオードD₁のインピーダンスは低く（電源端子V_Sから見たダイオードD₂のインピーダンスは高い）、ダイオードD₁を介して、電源端子V_Dの電位がトランジスタT_{r1}のバックゲートに供給される。これにより、トランジスタT_{r1}の信号線S₁はソースとなり、トランジスタT_{r1}の信号線S₂はドレインとなる。

【0033】

E_{SD}サージの電圧上昇により、コンデンサC₁、C₂の直列回路は、E_{SD}サージの瞬間にコンデンサC₁、C₂の接続点に電源端子V_D、V_S間の差電圧の分圧された電位に定まる。コンデンサC₁、C₂は、抵抗R₁、コンデンサC₁、C₂のCR時定数に従って充電される。

【0034】

トランジスタT_{r1}のゲートの電圧は、少なくともCR時定数の間、電源端子V_D、V_S間の差電圧の分圧された電圧によりソース（信号線S₁）の電圧より低く、トランジスタT_{r1}のソースドレイン間は、オン状態となる。従って、E_{SD}サージによる電流は、トランジスタT_{r1}のソースドレイン間を流れる。すなわち、電源端子V_Sを基準に入出力端子Vに生じた正のE_{SD}サージによ

る電流は、ダイオードD 3、トランジスタT r 1のソースドレイン間、電源端子V Sを流れるので、内部回路1 0は保護される。

【0 0 3 5】

次に、電源端子V Dを基準とした負のE S Dサージが入出力端子Vに生じたとする。ダイオードD 3は、印加されたE S Dサージの電圧の極性に対し、逆方向接続なので電流は流れない。

【0 0 3 6】

電源端子V Dの電位は電源端子V Sより高電位なので、電源端子V Dから見たダイオードD 1のインピーダンスは低く（電源端子V Sから見たダイオードD 2のインピーダンスは高い）、ダイオードD 1を介して、電源端子V Dの電位がトランジスタT r 1のバックゲートに供給される。これにより、トランジスタT r 1の信号線S 1はソースとなり、トランジスタT r 1の信号線S 2はドレインとなる。

【0 0 3 7】

E S Dサージの電圧上昇により、コンデンサC 1、C 2の直列回路は、E S Dサージの瞬間にコンデンサC 1、C 2の接続点に電源端子V D、V S間の差電圧の分圧された電位に定まる。コンデンサC 1、C 2は、抵抗R 1、コンデンサC 1、C 2のC R時定数に従って充電される。

【0 0 3 8】

トランジスタT r 1のゲートの電圧は、少なくともC R時定数の間、電源端子V D、V S間の差電圧の分圧された電圧によりソース（信号線S 1）の電圧より低く、トランジスタT r 1のソースドレイン間は、オン状態となる。従って、E S Dサージによる電流は、トランジスタT r 1のソースドレイン間を流れる。すなわち、電源端子V Dを基準に入出力端子Vに生じた負のE S Dサージによる電流は、トランジスタT r 1のソースドレイン間、ダイオードD 4を流れるので、内部回路1 0は保護される。

【0 0 3 9】

次に、電源端子V Sを基準とした負のE S Dサージが入出力端子Vに生じたとする。ダイオードD 4は、印加されたE S Dサージの電圧の極性に対し、順方向

なので、ESDサージによる電流は、電源端子VS、ダイオードD4、入出力端子Vを流れ、内部回路10は保護される。

【0040】

次に、電源端子VDを基準とした正のESDサージが入出力端子Vに生じたとする。ダイオードD3は、印加されたESDサージの電圧の極性に対し、順方向なので、ESDサージによる電流は、入出力端子V、ダイオードD3、電源端子VDを流れ、内部回路10は保護される。

【0041】

次に、電源端子VSを基準とした負のESDサージが電源端子VDに生じたとする。ダイオードD3、D4は、電源端子VD、VSに生じたESDサージの電圧の極性に対し順方向なので、ESDサージによる電流は、電源端子VS、ダイオードD4、D3、電源端子VDを流れ、内部回路10は保護される。しかし、トランジスタTr1の信号線S1、S2には、ESDサージによる電圧が印加された状態にある。電源端子VSの電位は電源端子VDより高電位なので、電源端子VSから見たダイオードD2のインピーダンスは低く（電源端子VSから見たダイオードD1のインピーダンスは高い）、ダイオードD2を介して、電源端子VSの電位がトランジスタTr1のバックゲートに供給される。これにより、トランジスタTr1の信号線S2はソースとなり、トランジスタTr1の信号線S1はドレインとなる。

【0042】

電源端子VSを基準とした電源端子VDのESDサージの電圧降下により、ESDサージの瞬間にコンデンサC1、C2の接続点に電源端子VD、VS間の差電圧の分圧された電位に定まる。コンデンサC1、C2は、抵抗R1、コンデンサC1、C2のCR時定数に従って充電される。

【0043】

トランジスタTr1のゲートの電圧は、少なくともCR時定数の間、電源端子VD、VS間の差電圧の分圧された電圧によりソース（信号線S2）の電圧より低く、トランジスタTr1のソースドレイン間は、オン状態となる。従って、ESDサージによる電流は、トランジスタTr1のソースドレイン間を流れる

。すなわち、トランジスタ T_{r1} のドレインとソースのウェルタップ間は、寄生動作をすることなく電流を流す。

【0044】

このように、ダイオード $D1$ 、 $D2$ を電源端子 V_S 、 V_D とトランジスタ T_{r1} のバックゲートとの間に接続して、電源端子 V_S 、 V_D に生じる ESD サージの電圧をトランジスタ T_{r1} のバックゲートに供給し、トランジスタ T_{r1} のソース、ドレインを切替えるようにした。よって、ソース、ドレインのウェルタップ間に寄生動作が発生することなくソースードレイン間を ESD サージによる電流が流れ、トランジスタ T_{r1} の破壊を防止することができる。

【0045】

また、ダイオード $D1$ 、 $D2$ をトランジスタ T_{r1} のバックゲートと信号線 $S1$ 、 $S2$ の間に接続するだけであり、回路面積を大きくすることなく、トランジスタ T_{r1} の破壊を防止することができる。

【0046】

また、抵抗 $R1$ とコンデンサ $C1$ の並列回路のインピーダンスと、コンデンサ $C2$ のインピーダンスとを等しくすることが望ましい。トランジスタ T_{r1} の信号線 $S1$ とゲート間の電圧降下と、信号線 $S2$ とゲート間との電圧降下を同様にすることによって、信号線 $S1$ がソースの場合の、トランジスタ T_{r1} のソースードレイン間がオンする動作と、信号線 $S2$ がソースの場合の、トランジスタ T_{r1} のソースードレイン間がオンする動作を同じ特性とすることができる。

【0047】

なお、電源端子 V_S をグランドとし、電源端子 V_D に正の直流電圧が印加されたときは、トランジスタ T_{r1} のゲートは、高インピーダンスであり、コンデンサ $C1$ も高インピーダンスであるので、抵抗 $R1$ には直流電圧による電流が流れない。従って、トランジスタ T_{r1} のソースーゲート間には、電位差がなく、トランジスタ T_{r1} のソースードレイン間は、オフ状態となる。すなわち、内部回路 10 には、直流電圧が印加され、所定の動作をする。

【0048】

また、複数の内部回路を保護するときは、各内部回路の電源が供給される電源

線を電源端子V S，V Dに接続し、各内部回路の入出力端子と電源端子V S，V D間にダイオードを接続するようにすればよい。

【0049】

次に、本発明の第2の実施の形態を図面を参照して説明する。

図2は、本発明の第2の実施の形態に係るESD保護回路を示す。図1と同じものには同じ符号を付しその説明を省略する。図2では、分圧回路21の構成が図1の分圧回路20と異なる。図2に示すように、分圧回路21では、分圧回路20に対し、コンデンサC1の替わりにダイオードD5が接続されている。ダイオードD5のアノードは、トランジスタのT r 1のゲートに接続されている。トランジスタT r 1のゲートとコンデンサC2との間にダイオードD6が接続される。ダイオードD6のアノードは、トランジスタT r 1のゲートに接続されている。

【0050】

図2において、電源端子V Sを基準とした正のESDサージが電源端子V Dに生じたとする。ダイオードD3，D4は、ESDサージの電圧の極性に対し、逆接続なので電流は流れない。

【0051】

電源端子V Dの電位は、電源端子V Sより高電位なので、電源端子V Dから見たダイオードD1のインピーダンスは低く（電源端子V Sから見たダイオードD2のインピーダンスは高い）、ダイオードD1を介して、電源端子V Dの電位がトランジスタT r 1のバックゲートに供給される。これにより、トランジスタT r 1の信号線S1はソースとなり、トランジスタT r 1の信号線S2はドレインとなる。

【0052】

ダイオードD6は、ESDサージによる電圧の極性に対し順方向なので、抵抗R1、ダイオードD5及びコンデンサC2に電流が流れる。コンデンサC2は、抵抗R1、コンデンサC2のCR時定数に従って充電される。トランジスタT r 1のゲートの電圧は、少なくともCR時定数の間、抵抗R1の電圧降下によりソース（信号線S1）の電圧より低く、トランジスタT r 1のソースドレイン間

は、オン状態となる。すなわち、電源端子V Sを基準に電源端子V Dに生じた正のE S Dサージによる電流は、トランジスタT r 1のソースドレイン間、電源端子V Sを流れるので、内部回路1 0は、保護される。

【0 0 5 3】

次に、電源端子V Sを基準とした負のE S Dサージが電源端子V Dに生じたとする。ダイオードD 3，D 4は、E S Dサージの電圧の極性に対し、順方向なのでE S Dサージによる電流は、電源端子V S、ダイオードD 4，D 3、電源端子V Dを流れ、内部回路1 0は保護される。しかし、トランジスタT r 1の信号線S 1，S 2には、E S Dサージによる電圧が印加された状態にある。電源端子V Sの電位は電源端子V Dより高電位なので、電源端子V Sから見たダイオードD 2のインピーダンスは低く（電源端子V Sから見たダイオードD 1のインピーダンスは高い）、ダイオードD 2を介して、電源端子V Sの電位がトランジスタT r 1のバックゲートに供給される。これにより、トランジスタT r 1の信号線S 2はソースとなり、トランジスタT r 1の信号線S 1はドレインとなる。

【0 0 5 4】

トランジスタT r 1のゲートは、ダイオードD 6が逆接続であるため、抵抗R 1に電流が流れず、電源端子V Dと同電位となる。すなわち、トランジスタT r 1の信号線S 2に生じている電圧は、ゲートの電圧より大きいので、トランジスタT r 1のソースドレイン間は、オン状態となる。ところが、ダイオードD 6の寄生容量を持ち、トランジスタT r 1のゲート電圧は、その寄生容量に依存する時間だけソース（信号線S 2）と同電位となり、トランジスタT r 1のソースドレイン間はオフ状態となる。しかし、ダイオードD 5によって、ダイオードD 6の寄生容量に電荷をチャージすることによって、トランジスタT r 1のゲートとソースの同電位となることを妨げ、トランジスタT r 1のソースドレイン間をオンする。

【0 0 5 5】

なお、E S Dサージが電源端子V D，V S、入出力端子Vに生じる他の組み合わせにおける動作は、第1の実施の形態における分圧回路2 0、トランジスタT r 1が、上記の分圧回路2 1、トランジスタT r 1による動作をし、その他同じ

であるので説明を省略する。

【0056】

このように、ダイオードD5、D6によって、分圧回路21に流れる電流に方向性を持たせることによって、トランジスタTr1の信号線S1、S2とゲートとの間に確実に電位差を生じさせて、トランジスタTr1のソースドレイン間をオンすることができる。また、電流を一方向に流すことによって、極性を有するコンデンサを使用することができるようになる。

【0057】

【発明の効果】

以上説明したように本発明では、第1の電源端子に生じる正の放電電圧を、第1のダイオードによって、トランジスタのバックゲートに供給し、第2の電源端子に生じる正の放電電圧を、第2のダイオードによって、トランジスタのバックゲートに供給し、第1の電源端子及び第2の電源端子に接続されたソース及びドレインを切替えるようにした。

【0058】

これにより、ソース、ドレインのウェルタップ間に寄生動作を発生することなく、ソース、ドレイン間を放電電圧による電流が流れるので、トランジスタの破損を防止することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係るESD保護回路を示す。

【図2】

本発明の第2の実施の形態に係るESD保護回路を示す。

【図3】

従来のESD保護回路を示す。

【符号の説明】

10 内部回路

D1～D6 ダイオード

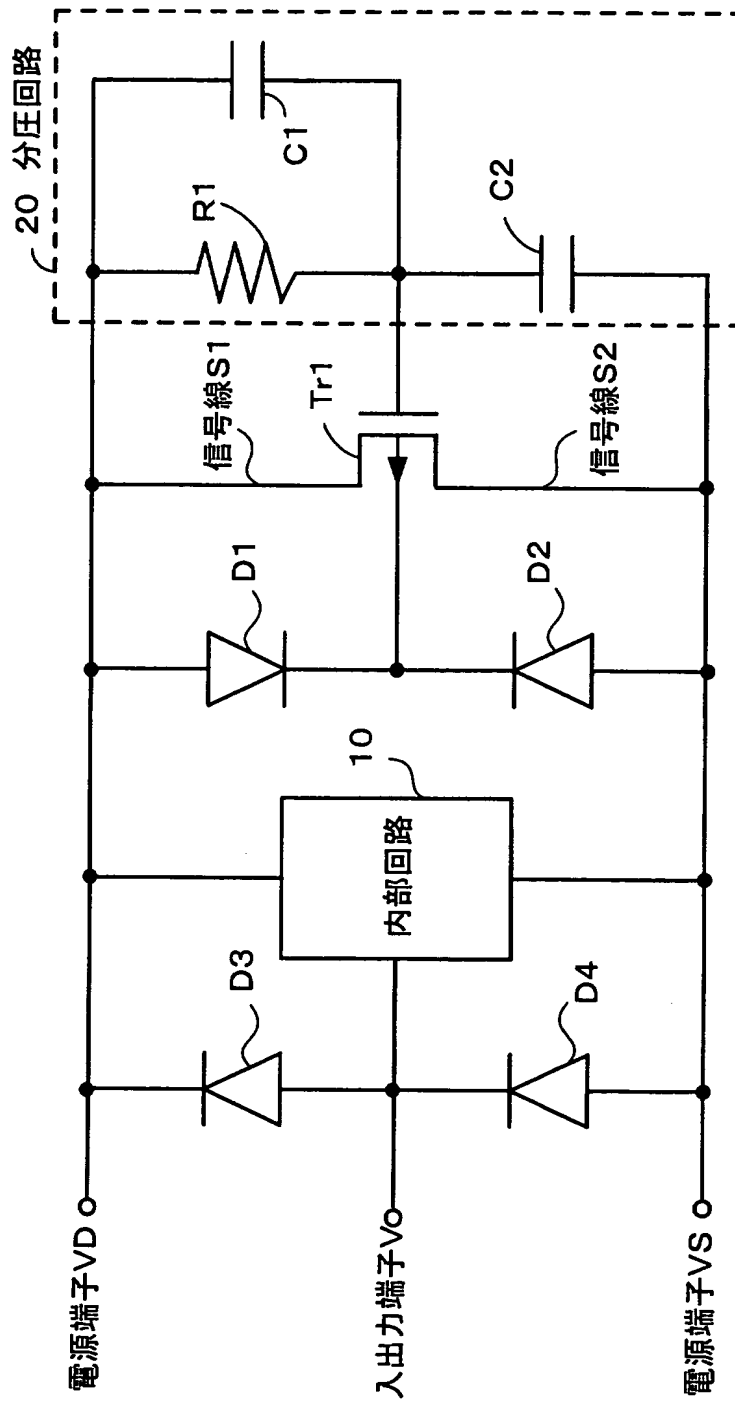
Tr1 トランジスタ

R 1 抵抗

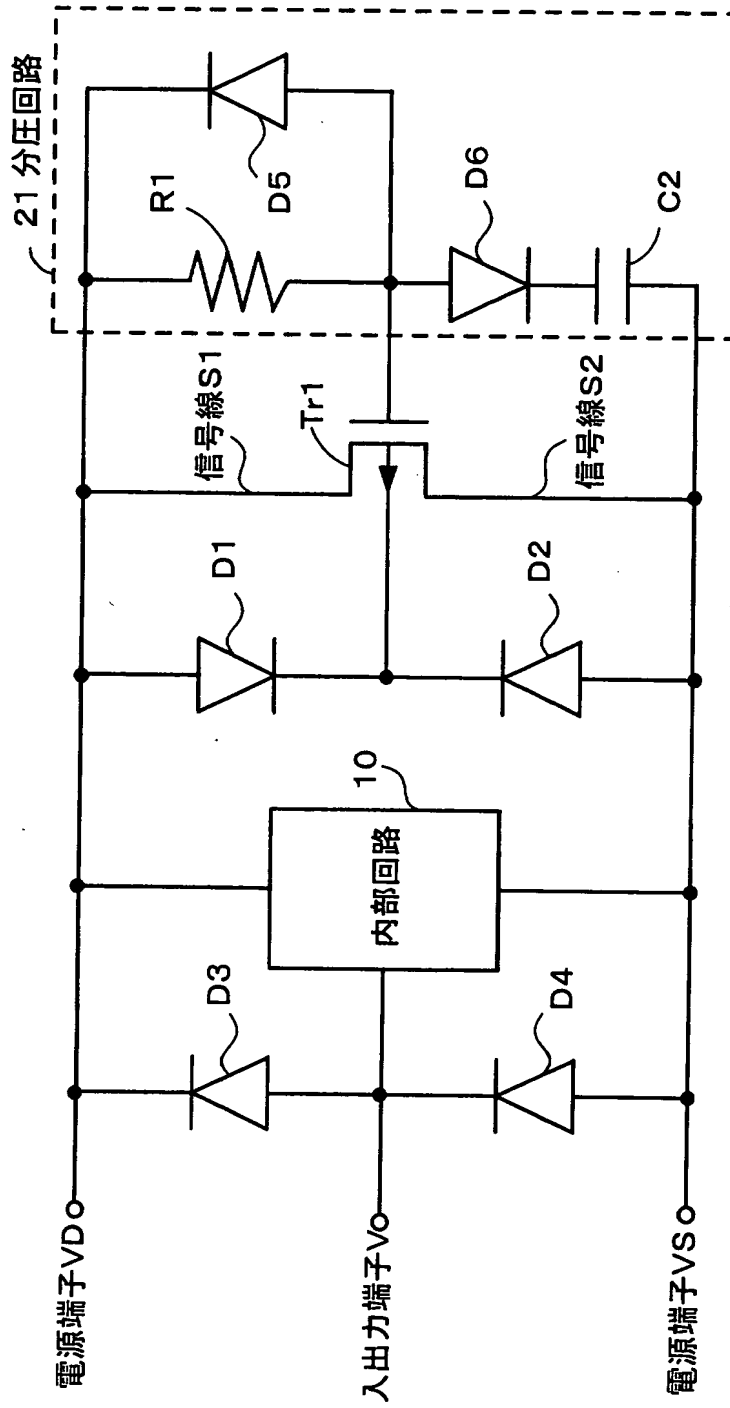
C 1, C 2 コンデンサ

【書類名】 図面

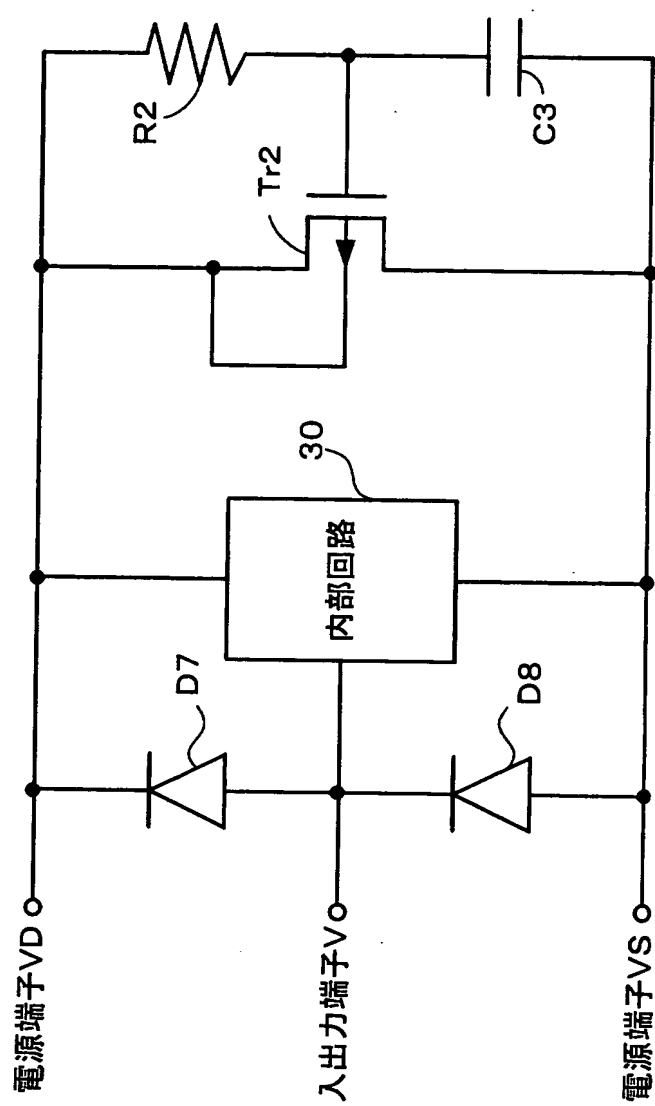
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 E S D サージによるトランジスタの破損を防止する。

【解決手段】 トランジスタ $T r 1$ のソース又はドレインとなる信号線 $S 1$, $S 2$ は、電源端子 $V D$, $V S$ に接続される。ダイオード $D 1$ のアノードは信号線 $S 1$ に接続され、カソードはトランジスタ $T r 1$ のバックゲート及びダイオード $D 2$ のカソードに接続される。ダイオード $D 2$ のアノードは、信号線 $S 2$ に接続される。これにより、信号線 $S 1$, $S 2$ に生じる E S D サージの電圧によって、トランジスタ $T r 1$ のソース、ドレインが切替わるので、ソース、ドレインのウェルタップ間に寄生動作を発生することなくソース、ドレイン間を E S D サージによる電流が流れ、トランジスタ $T r 1$ の破損を防止する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社